

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2003 EPO. All rts. reserv.

4159163

Basic Patent (No,Kind,Date): JP 58054391 A2 830331 <No. of Patents: 001>

PICTURE DISPLAY (English)

Patent Assignee: DAINI SEIKOSHA KK

Author (Inventor): HOSHI HIDEO

IPC: \*G09G-003/36; H04N-005/66

Derwent WPI Acc No: \*G 83-G2635K;

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 58054391	A2	830331	JP 81151763	A	810925 (BASIC)

Priority Data (No,Kind,Date):

JP 81151763 A 810925

JP 58-54391

1. An image display device including:
  - semiconductor switch elements and signal storage elements which are formed and arranged on a semiconductor layer made from glass or the like, or a semiconductor substrate each formed on an insulating film;
  - a display panel in which either terminals of the signal storage elements and either terminals of the respective semiconductor switching elements are connected to pixel electrodes;
  - a scanning line driver circuit for turning on/off of the semiconductor switch;
  - and
  - a signal line driver circuit for supplying an image signal to each pixel, is characterized in that:
    - the signal line driver circuit are divided into two blocks of a driver circuit for even numbered columns and a driver circuit for odd numbered columns; and
    - the image display device has means for operating the driver circuits for even numbered columns and the driver circuit for odd numbered columns with clock signals in opposite phase.
2. An image display device according to Claim 1, wherein the image display device has switching means for operating the driver circuit for even numbered columns and the driver circuit for odd numbered columns alternately at predetermined periods.
3. An image display device according to Claim 1 or Claim 2, wherein the stated period is one horizontal scanning period or an integral multiple thereof, and not more than 1 field.

⑨ 日本国特許庁 (JP)  
⑩ 公開特許公報 (A)

⑪ 特許出願公開  
昭58—54391

⑫ Int. Cl.<sup>3</sup>  
G 09 G 3/36  
H 04 N 5/66

識別記号

1 0 2

庁内整理番号

7250—5C

7735—5C

⑬ 公開 昭和58年(1983)3月31日

発明の数 1  
審査請求 未請求

(全 6 頁)

⑭ 画像表示装置

⑮ 特 願 昭56—151763

⑯ 出 願 昭56(1981)9月25日

⑰ 発 明 者 星英男

東京都江東区亀戸6丁目31番1

号株式会社第二精工舎内

⑱ 出 願 人 株式会社第二精工舎

東京都江東区亀戸6丁目31番1

号

⑲ 代 理 人 弁理士 最上務

明 細 書

1. 発明の名称 画像表示装置

2. 特許請求の範囲

(1) ガラス等の絶縁基板上に形成された半導体層、または半導体基板上に、半導体スイッチ素子と信号記憶素子を行列状に形成し、前記信号記憶素子と半導体スイッチ素子の一方の端子を接続して画素電極とした表示パネルと、前記半導体スイッチをオン・オフするための定電圧ライン駆動回路及び、各画素に映像信号を供給するための信号ライン駆動回路で構成される画像表示装置に於て、前記信号ライン駆動回路を、偶数列用駆動回路と奇数列用駆動回路の2つのブロックに分割し、偶数列用駆動回路と奇数列用駆動回路を逆位相のクロック信号で動作させる手段を有することを特徴とする画像表示装置。

(2) 前記偶数列用駆動回路と奇数列用駆動回路を所定の周期で交互に動作させるスイッチ手段を

有することを特徴とする特許請求の範囲第1項記載の画像表示装置。

(3) 前記所定の周期は、1水平走査期間または1水平走査期間の整数倍であり、1フィールド以下であることを特徴とする特許請求の範囲第1項もしくは第2項記載の画像表示装置。

3. 発明の詳細な説明

本発明は液晶を用いた画像表示装置の映像信号書き込み回路に関するものである。

従来の画像表示装置の表示部を第1図に示す。第1図はアナログ信号を含む映像を表示するものであり、表示部は液晶とMOS型PMTアレイを組合わせて構成されている。第1図において単位画素を構成するものは半導体スイッチ素子としてのMOS型PMT1信号記憶素子としての信号蓄積用コンデンサ2液晶セル3である。PMT1の一方の端子とコンデンサ2の一方の端子が接続されて画素電極となり、液晶セル3を介して共通電極4が設けられる。この基本的な動作を説明する。

まずMOS型PMTをPチャンネルとし、グートライン $x_1$ にグート信号としての負の電圧が印加されると、PMT1はオン状態となり、信号ライン $y_1$ に印加されたアナログのビデオ信号はPMT1を通してコンデンサ2に充電される。負の電圧が消滅すれば、PMT1はオフ状態となるが、通常PMTのリーク電流及び液晶セル3を流れる電流は非常に小さいので、コンデンサに充電された電圧は、かなりの時間保持され、液晶セル3に印加されつづける。そしてグート信号を $x_1$ から $x_1+1$ ,  $x_1+2$ , ...と順次に走査し、その位置に対応したビデオ信号を $y_1$ ,  $y_1+1$ ,  $y_1+2$ , ...から印加することにより全体の画像が表示される。

第2図に駆動回路を含めた従来の表示装置を示す。4はシフトレジスタで構成されたグートライン駆動回路(エドドライブ)であり、クロック入力端子5、シリアルデータ入力端子6を具備している。7はシフトレジスタとスイッチ素子群で構成された信号ライン駆動回路(エドドライブ)であり、

グートで構成されたスイッチ素子群7bが順次オンになり、映像入力端子10から入力された映像信号が、信号ライン $y_1$ ,  $y_2$ , ...を通じて、表示部へ印加される。ここで、テレビ信号の一水平走査期間は約63 $\mu$ sであるが、映像信号が含まれない帰線期間(第4図T<sub>F</sub>)が約10 $\mu$ sあるので、映像信号のある期間は約53 $\mu$ sである。そこで画素列が $m$ 個であれば、クロックパルス0Lの周期Tは53 $\mu$ s/ $m$ となるのである。そして、テレビの画像を鮮明に表示するには約200 $\times$ 200画素の表示パネルが必要であり、そのためにはクロックパルス0Lの周期Tは約0.25 $\mu$ sでなければならない。つまり約4MHzのクロックパルスを必要とするのである。従って、エドドライブのシフトレジスタ7aが約4MHzという比較的高速で動作するために、第2図に示した画像表示装置全体の消費電力が大きくなってしまいうという欠点があった。

そこで、本発明はエドドライブ部の消費電力を小さくすることを目的とするものである。

#### 14開明58- 54391(2)

クロック入力端子8、シリアルデータ入力端子9、映像信号入力端子10を具備している。11は、第1図に示した単位画素が $m \times n$ 個配列された表示部である。ここで、エドドライブのシリアルデータ入力端子6にはフレームごとにパルスが入力され、クロック入力端子5には一水平走査期間ごとにパルスが入力される。つまりクロック入力端子には15.75MHzのパルスが入力され、このパルスによつて、前記シリアルデータ入力端子6からのパルスが順次シフトし、 $x_1$ ,  $x_2$ , ...に入力される。一方、エドドライブは、第3図に示すようにシフトレジスタ7aとスイッチ素子群7bとで構成され各部波形を第4図に示す。まず、シリアルデータ入力端子9には一定走査期間ごとにパルスDが入力され、クロック入力端子8には約55MHzの周期のクロックパルス0Lが入力され、このパルスによつて、前記シリアルデータ入力端子9からのパルスが順次シフトし、 $q_1$ ,  $q_2$ , ...から出力される。そして、シフトレジスタ7aからの出力 $q_1$ ,  $q_2$ , ...によつてトランスミッシン

以下図面とともに本発明を説明する。

第5図に本発明の画像表示装置を示す。エドドライブ部の構成・動作と、表示部11は従来例と全く同じである。エドドライブ部は奇数列用エドドライブ(A)12と偶数列用エドドライブ(B)14に分割され、それぞれ、クロック入力端子13, 15およびシリアルデータ入力端子9a, 9b、さらに共通の映像信号入力端子10を具備している。そして、エドドライブAおよびエドドライブBは、第6図に示すようにシフトレジスタ12a, 14a, 14b回路群12b, トランスミッシンゲートで構成されるスイッチ素子群12cで構成される。第6図はエドドライブAの回路図であり、エドドライブBについては図示しないも同様であり、シフトレジスタ14a, 14b回路群14c, スwitch素子群14dで構成される。ただし、エドドライブBのシリアルデータ入力端子9bはエドドライブA用シフトレジスタ12aの第1段出力 $q_1$ と接続される。第7図に、第5図および第6図の回路の各部波形を示す。第5図、第6図、第7図にそつて

動作説明をする。まず、エドライバAのクロック入力端子13に、従来の半分の周波数のクロックOL Aが入力され、エドライバBのクロック入力端子15に、クロックOL Aと同じ周波数で位相が逆のクロックOL Bが入力される。そして、一水平走査期間ごとにシリアルデータ入力端子9aにパルスDが入力されると、クロックパルスOLAに同期してパルスDが順次シフトし、エドライバA用シフトレジスタ12aの出力 $Q_1, Q_2, \dots, Q_{m-1}, Q_m$ から出力される。ここで $m$ は偶数の整数である。一方、エドライバB用シフトレジスタ14a(図示しない)のシリアルデータ入力端子には、前記シフトレジスタ12aの第1段出力 $Q_1$ が入力されるので、クロックパルスOLBに同期してパルスが順次シフトして、エドライバB用シフトレジスタ14aの出力 $Q_1, Q_2, \dots, Q_{m-1}, Q_m$ から出力される。さて、これらのシフトレジスタ出力 $Q_1, Q_2, \dots, Q_{m-1}, Q_m$ をそのまま各トランスミッショングートのクロックとして用いると、奇数列と偶数列のトランスミッ

### 特開58-54391(3)

シヨングートのオン時間がオーバーラップしてしまうので、映像信号がオーバーラップして書き込まれてしまう。そこで、エドライバA用シフトレジスタ12aの出力を、AMD回路群12bの一方の入力とし、同様に、エドライバB用シフトレジスタ14aの出力を、AMD回路群14b(図示しない)の一方の入力とする。そして、AMD回路群12bの他方の入力端子にクロックパルスOL Aを入力し、AMD回路群14bの他方の入力端子にクロックパルスOL Bを入力するとAMD回路の出力として第7図に示すようにオーバーラップのないパルス $S_1, S_2, S_3, S_4, \dots, S_{m-1}, S_m$ が得られる。従つて、これらの出力パルスのうち奇数列用パルス $S_1, S_3, \dots, S_{m-1}$ によつてスイッチ素子群12cが順次オンになり、同様に偶数列用パルス $S_2, S_4, \dots, S_m$ によつてスイッチ素子群14c(図示しない)が順次オンになる。そうすると映像入力端子10から入力された映像信号が、信号ライン $A_1, A_2, \dots, A_{m-1}, A_m$ を通つて表示

部へ印加される。さて、以上のように、第5図、第6図に示す本発明の画像表示装置で、映像を表示することが可能なわけであるが、ここで、エドライバ用クロックパルスはOL A, OL B共に、従来例のクロックパルスの半分の周波数であるので、エドライバ部の消費電力が半分になる。そして、エドライバ、エドライバを含めた画像表示装置の消費電力のほとんどはエドライバ部で消費されるので、画像表示装置全体の消費電力が半分になるのである。

第8図に本発明の他の実施例のための周辺回路を示す。すなわち、エドライバA用クロックパルスOL AとエドライバB用クロックパルスOL Bを、ある周期 $T_0$ で交互に供給して、エドライバAとエドライバBをある周期 $T_0$ で交互に動作させて、消費電力をさらに半分にするものである。回路は、ある周期 $T_0$ をもつた反転用パルス $\bar{S}$ の入力端子17を持つた $\bar{S}$ タイプフリップフロップ(7-FF)16、AMD回路18a, 18bから成り、一方のAMD回路18aには、7-FF

16のQ出力 $\bar{S}$ とクロック入力端子19からのクロックパルスOLが入力され他方のAMD回路18bには、7-FF 16のQ出力 $\bar{S}$ とクロック入力端子20からのクロックパルスOLが入力される。そして、AMD回路18aの出力はクロックパルスOL Aとして、エドライバA用クロックパルス入力端子13に入力され、AMD回路18bの出力はクロックパルスOL Bとして、エドライバB用クロックパルス入力端子15に入力される。そして、第8図の回路を用いた実施例に於ては、エドライバA用シフトレジスタ12aのシリアルデータ入力端子9aと、エドライバB用シフトレジスタ14aのシリアルデータ入力端子9bが接続され、端子9bとシフトレジスタ12aの第1段出力 $Q_1$ は接続されない。

第9図に各部波形を示す。クロックパルスOLとOLは周波数が従来例の半分で互いに位相が逆である。まず、反転用パルス $\bar{S}$ が入力されると、7-FFの出力が反転し、今 $\bar{S}$ が"0"→"1"、 $\bar{S}$ が"1"→"0"になつたとすると、クロッ

クパルス  $OLB$  のみが出力され、クロックパルス  $OLB$  は停止状態となる。つまり、 $ED$  ドライバ  $A$  のみが動作し、 $ED$  ドライバ  $B$  は停止しているので、奇数列のみに映像信号が新たに印加され、偶数列には新たな映像信号が印加されず、前に書き込まれた映像信号をそのまま保持している。そして、ある期間  $T_0$  後に反転パルス  $\bar{Q}$  が再び入力されると  $T-FF$  の出力  $Q$ 、 $\bar{Q}$  が反転し、今度は、 $ED$  ドライバ  $A$  が停止し、 $ED$  ドライバ  $B$  が動作するので偶数列のみに新たな映像信号が印加され、奇数列には新たな映像信号が印加されず、前に書き込まれた映像信号をそのまま保持している。ここである期間  $T_0$  を 1 フィールドとした場合の映像信号の印加のされ方を第 10 図(A)に示す。第 10 図(A)中 21 を奇数列、22 を偶数列とすると、あるフィールドのときは奇数列 21 のみに新たな映像信号が書き込まれ、次のフィールドのときに偶数列 22 のみに書き込まれる。つまり、行方向に飛びこし走査が行なわれているのである。このような動作の場合、シリアルデータパルス  $D$  は第

#### 開明 58- 54391 (4)

9 図には図示していないが、一水平走査期間ごとに入力されるのももちろんである。第 10 図(例)は、ある期間  $T_0$  を一水平走査期間とした場合の例であり、あるフィールドのときは図中網目模様の画素にちどり縦線状に新たな映像信号が書き込まれ、次のフィールドには、図中ドット模様の画素に新たな映像信号が書き込まれる。第 10 図(例)はある期間  $T_0$  を 3 水平走査期間とした場合の例であり、動作は同様なので省略する。ここで、重要なのは、2 フィールドつまり 1 フレームで全面に新たな映像信号が書き込まれるということであり、この事は、現在のテレビの列方向の飛びこし走査のやり方と本質的には同じであり、画像のちらつきを感じさせない方法である。従つて、ある期間  $T_0$  は、1 水平走査期間よりも長く、1 フィールド以下である必要がある。このように動作させることにより前述した如く、 $ED$  ドライバ  $A$ 、 $ED$  ドライバ  $B$  のいずれか一方は完全に停止しているので、クロックパルスの周波数を半分にしたことと合わせて、消費電力を又または低にすること

が出来、消費電力が少ないという液晶の利点をさらに活かすことが可能となる。

#### 4. 図面の簡単な説明

- 第 1 図は従来の画像表示部を示す等価回路図、  
第 2 図は従来の画像表示装置を示すブロック図、  
第 3 図は第 2 図に於ける  $ED$  ドライバ部を示す回路図、  
第 4 図は従来の画像表示装置に於ける各部波形を示す説明図、  
第 5 図は本発明の画像表示装置を示すブロック図、  
第 6 図は本発明の  $ED$  ドライバ部を示す回路図、  
第 7 図は本発明の画像表示装置に於ける各部波形を示す説明図、  
第 8 図は本発明の他の実施例に於ける周辺回路を示す回路図、  
第 9 図は本発明の他の実施例に於ける各部波形を示す説明図、  
第 10 図(A)、(例)、(例)はそれぞれ本発明の他の実

施例に於ける映像信号の書き込み方を模式的に示す説明図である。

- 1 ……  $MORB$   $FF$ 、
- 2 …… 信号蓄積用コンデンサ、
- 3 …… 液晶セル、
- 4 ……  $ED$  ドライバ、
- 5 …… クロック入力端子、
- 6 …… シリアルデータ入力端子、
- 7 ……  $ED$  ドライバ、
- 7a …… シフトレジスタ、
- 7b …… スイッチ素子、
- 8 …… クロック入力端子、
- 9 …… シリアルデータ入力端子、
- 10 …… 映像信号入力端子、
- 11 …… 表示部、
- 12a、14 ……  $ED$  ドライバ、
- 12b …… シフトレジスタ、
- 12c ……  $AND$  回路、
- 12d …… スイッチ素子、
- 9a、9b …… シリアルデータ入力端子、
- 13、15 …… クロック入力端子、
- 16 ……  $T-FF$ 、
- 17 …… クロック入力端子、

特開昭58-54391(5)

18a・18b…AND回路、  
 19・20…クロック入力端子、  
 21…奇数列画面素、  
 22…偶数列画面素  
 である。

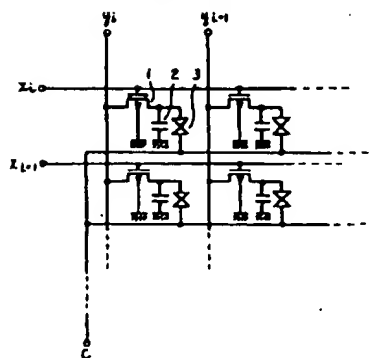
以 上

出願人 株式会社 第二精工舎

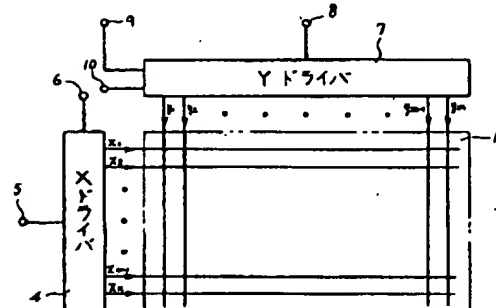
代理人 弁理士 最 上



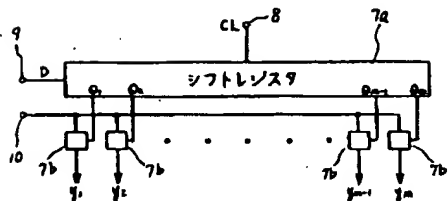
第1図



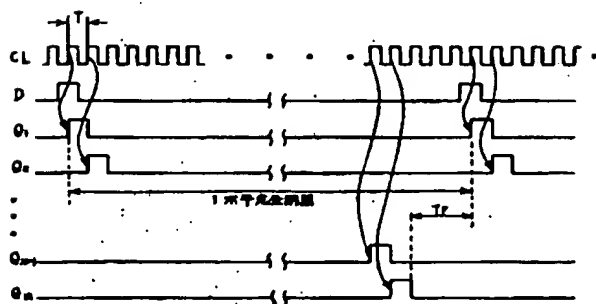
第2図



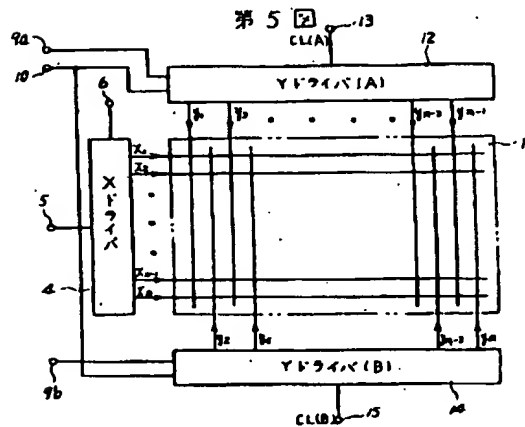
第3図



第4図



第5図



第6図

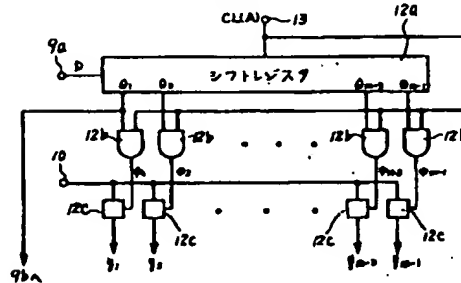
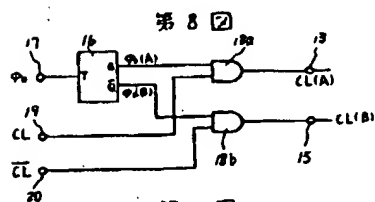
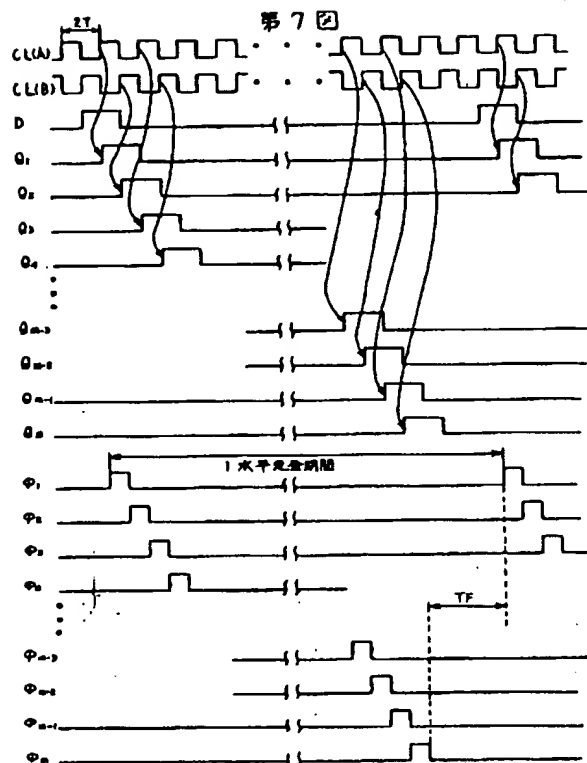


图 58-54391 (6)



第 9 图

